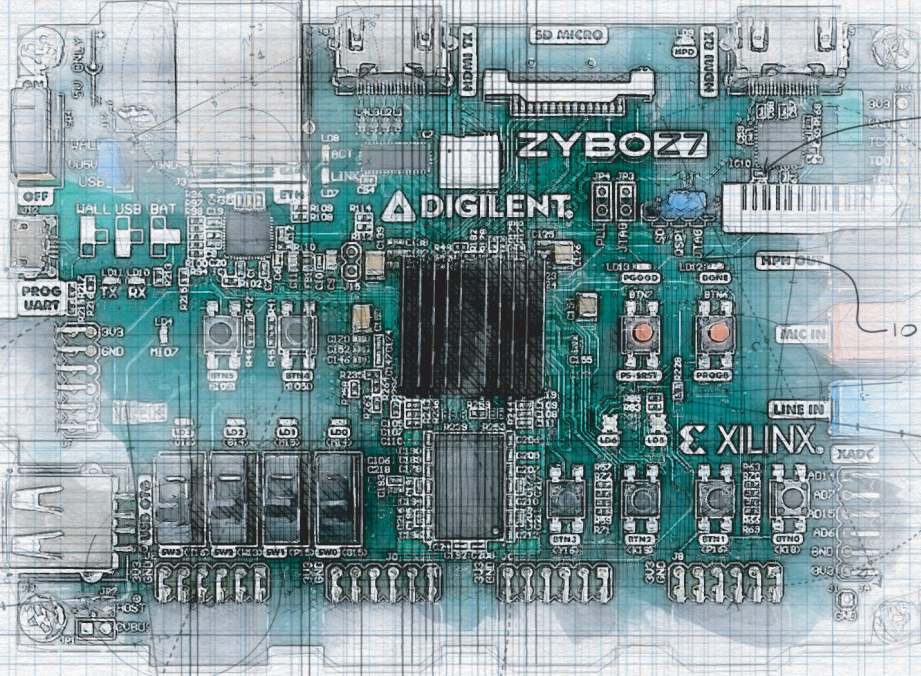




...para ser el mejor de los mejores.

DISEÑO DE CIRCUITOS DIGITALES USANDO VHDL Y TARJETA NEXYS 3



...para ser el mejor de los mejores.

ROBINSON JIMÉNEZ MORENO / JAVIER EDUARDO MARTÍNEZ BAQUERO
CÉSAR AUGUSTO ROMERO MOLANO



Diseño de circuitos digitales usando VHDL y tarjeta Nexys 3

**Editorial
Unillanos** 

Diseño de circuitos digitales usando VHDL y tarjeta Nexys 3

D.Eng. Ing. Robinson Jiménez Moreno

Docente, programa Ingeniería en Mecatrónica, UMNG

Msc. Ing. Javier Eduardo Martínez Baquero

Docente, Escuela de Ingeniería, Universidad de los Llanos

Esp. Ing. César Augusto Romero Molano

Docente, Escuela de Ingeniería, Universidad de los Llanos

Geometría sinóptica cambia aperturas sin.

Diseño de circuitos digitales usando VHDL y tarjetas Nexys 3 / Robinson Jiménez Moreno; Javier Eduardo Martínez Baquero; César Augusto Romero Molano - Primera edición. - Villavicencio: Editorial Universidad de los Llanos, 2022.

108 páginas: ilustraciones a color
ISBN: 978-958-8927-91-6
ISBN DIGITAL: 978-958-8927-92-3

Incluye bibliografía.

1. Electrónica digital 2. Circuitos electrónicos 3. Diseño de circuitos digitales


CDD 621.3815 ed.21

Catalogación en la fuente - Universidad de los Llanos. Sistema de Bibliotecas


Primera edición 2022.

Diseño de circuitos digitales usando VHDL y tarjetas Nexys 3


© Robinson Jiménez Moreno

 <https://orcid.org/0000-0002-4812-3734>

© Javier Eduardo Martínez Baquero

 <https://orcid.org/0000-0003-4377-7867>

© César Augusto Romero Molano

 <https://orcid.org/0000-0001-9797-0115>

ISBN: 978-958-8927-91-6

ISBN DIGITAL: 978-958-8927-92-3

© Universidad de los Llanos

Coordinación editorial: Ana María Lombana Gracia

Diseño de cubierta: Mario Alexander Calderón Collazos

Diagramación: Juan Carlos Beltrán Rubio

Corrección de estilo: Andrés Mantilla Meluk

Editorial Unillanos

Calle 37 No. 41-02 Barzal - PBX. 60 (8) 6616900

E-mail: editorialunillanos@unillanos.edu.co

www.editorial.unillanos.edu.co

Campus San Antonio, Villavicencio, Meta

Impresión:

Editorial Unillanos

Villavicencio - Meta

Descargo de responsabilidad: la información contenida en este libro es producto de los autores y por consiguiente no compromete la posición de la Universidad de los Llanos. Prohibida la reproducción total o parcial, en cualquier medio, formato o propósito, sin la autorización escrita de la Editorial Unillanos.



*este libro, consultar
en la versión digital*

TABLA DE CONTENIDO

| | |
|---|-----|
| Lista de figuras | 6 |
| Lista de tablas | 8 |
| Lista de códigos | 9 |
| Agradecimientos | 11 |
| Introducción | 12 |
| Capítulo I. Uso de ISE 14.7 de Xilinx | 13 |
| 1. Introducción al software ISE 14.7 de Xilinx | 14 |
| 1.1 Inicialización del software ISE | 14 |
| 1.2 Creación de un nuevo proyecto | 15 |
| Capítulo II. Diseño de circuitos combinaciones de media integración | 23 |
| 2. Circuitos combinacionales | 24 |
| 2.1 Codificador genérico de n bits | 24 |
| 2.2 Decodificador genérico de n bits | 27 |
| 2.3 Decodificador para display de 7 segmentos | 29 |
| 2.4 Multiplexor genérico de n bits | 33 |
| 2.5 Demultiplexor genérico de n bits | 36 |
| 2.6 Comparador genérico de n bits | 39 |
| 2.7 Conversión de binario a BCD | 41 |
| 2.8 Conversión de binario a decimal | 44 |
| 2.9 Aplicación de bloques combinacionales (bus de datos) | 50 |
| Capítulo III Diseño de circuitos lógicos aritméticos | 55 |
| 3. Circuitos lógicos aritméticos | 56 |
| 3.1. Sumador completo | 56 |
| 3.2. Sumador ripple carry sin signo | 59 |
| 3.2.1. Primera forma ripple carry sin signo | 59 |
| 3.2.2. Segunda forma ripple carry sin signo | 62 |
| 3.3. Sumador ripple carry con signo | 65 |
| 3.4. Sumador carry look ahead | 68 |
| 3.5. Complemento a uno con habilitador | 74 |
| 3.6. Sumador restador ripple carry sin signo | 78 |
| 3.7. Sumador restador ripple carry con signo | 84 |
| 3.8. Sumador BCD | 88 |
| 3.8.1. Módulo solución sumador BCD de 1 bit | 88 |
| 3.8.2. Módulo solución sumador BCD de 2 bits | 96 |
| 3.9. Multiplicador paralelo de 4 bits | 98 |
| 3.10. Contador de bits | 101 |
| Referencias bibliográficas | 105 |

LISTA DE FIGURAS

| | | |
|---------------------|--|----|
| Figura 1-1. | Primera visualización de ISE 14.7..... | 14 |
| Figura 1-2. | Creación de proyecto de ISE 14.7..... | 15 |
| Figura 1-3. | Caracterización de placa Nexys 3..... | 16 |
| Figura 1-4. | Circuito resultante del decodificador 2 a 4..... | 17 |
| Figura 1-5. | Visualización del módulo de la compuerta NOT..... | 19 |
| Figura 1-6. | Visualización del módulo de la compuerta AND..... | 19 |
| Figura 1-7. | Módulo principal para el decodificador..... | 21 |
| Figura 1-8. | Submódulos para el decodificador..... | 22 |
| Figura 2-1. | Visualización del módulo para el codificador genérico..... | 25 |
| Figura 2-2. | Simulación del codificador..... | 26 |
| Figura 2-3. | Visualización del módulo decodificador genérico..... | 28 |
| Figura 2-4. | Simulación de decodificado..... | 29 |
| Figura 2-5. | Display de 7 segmentos (compic.es, 2016)..... | 29 |
| Figura 2-6. | Visualización del módulo display genérico..... | 32 |
| Figura 2-7. | Simulación del decodificador para el display de 7 segmentos..... | 33 |
| Figura 2-8. | Visualización del módulo multiplexor..... | 35 |
| Figura 2-9. | Simulación de multiplexor..... | 36 |
| Figura 2-10. | Visualización del módulo demultiplexor..... | 37 |
| Figura 2-11. | Simulación de demultiplexación..... | 38 |
| Figura 2-12. | Visualización del módulo comparador genérico..... | 40 |
| Figura 2-13. | Simulación del comparador..... | 41 |
| Figura 2-14. | Visualización del módulo conversor de binario a BCD..... | 44 |
| Figura 2-15. | Simulación del conversor binario a BCD con valores iniciales..... | 44 |
| Figura 2-16. | Simulación del conversor binario BCD con valores intermedios y delimitación de unidades y decenas..... | 44 |
| Figura 2-17. | Visualización general de entradas y salidas del módulo principal..... | 48 |
| Figura 2-18. | Visualización interna e interconexión de todos los módulos..... | 49 |
| Figura 2-19. | Simulación para binario decimal números positivos..... | 49 |
| Figura 2-20. | Simulación para binario decimal números negativos..... | 49 |
| Figura 2-21. | Visualización general de entradas y salidas del módulo principal..... | 53 |
| Figura 2-22. | Visualización interna e interconexión de todos los módulos..... | 54 |
| Figura 2-23. | Simulación de bus de datos..... | 54 |
| Figura 3-1. | Circuito 1 sumador completo..... | 57 |
| Figura 3-2. | Módulo sumador completo..... | 58 |
| Figura 3-3. | Simulación de sumador completo..... | 59 |
| Figura 3-4. | Circuito 2 sumador ripple carry sin signo..... | 60 |
| Figura 3-5. | Módulo sumador ripple carry sin signo forma 1..... | 62 |
| Figura 3-6. | Sumador ripple carry sin signo forma 2..... | 64 |

| | | |
|---------------------|---|-----|
| Figura 3-7. | Simulación ripple carry sin signo..... | 64 |
| Figura 3-8. | Circuito 3 sumador ripple carry con signo. | 66 |
| Figura 3-9. | Módulo ripple carry con signo..... | 68 |
| Figura 3-10. | Simulación ripple carry con signo..... | 68 |
| Figura 3-11. | Diagrama de bloques sumador por programación..... | 69 |
| Figura 3-12. | Módulo sumador carry look ahead..... | 74 |
| Figura 3-13. | Simulación suma carry look ahead..... | 74 |
| Figura 3-14. | Circuito 4 complemento a uno con habilitador..... | 75 |
| Figura 3-15. | Módulo complemento a uno con habilitador..... | 78 |
| Figura 3-16. | Simulación del complemento a uno con habilitador..... | 78 |
| Figura 3-17. | Circuito 5 sumador restador ripple carry sin signo (suma)..... | 80 |
| Figura 3-18. | Circuito 5 sumador restador ripple carry sin signo (resta). | 80 |
| Figura 3-19. | Módulo sumador restador ripple carry sin signo..... | 84 |
| Figura 3-20. | Simulación del sumador restador ripple carry sin signo selec 0..... | 84 |
| Figura 3-21. | Simulación del sumador restador ripple carry sin signo selec 1..... | 84 |
| Figura 3-22. | Circuito 6 sumador-restador ripple carry con signo (suma). | 85 |
| Figura 3-23. | Circuito 6 sumador-restador ripple carry con signo (resta). | 86 |
| Figura 3-24. | Módulo sumador restador ripple carry con signo..... | 87 |
| Figura 3-25. | Simulación del sumador restador ripple carry con signo..... | 88 |
| Figura 3-26. | Circuito 7 sumador BCD de 1 bit..... | 90 |
| Figura 3-27. | Módulo sumador BCD..... | 95 |
| Figura 3-28. | Simulación del sumador BCD 1 bit. | 95 |
| Figura 3-29. | Circuito 8 sumador BCD 2 bits..... | 96 |
| Figura 3-30. | Módulo sumador BCD 2 bits. | 98 |
| Figura 3-31. | Simulación del sumador BCD 2 bits. | 98 |
| Figura 3-32. | Circuito 9 multiplicador paralelo..... | 99 |
| Figura 3-33. | Módulo multiplicador paralelo de 4 bits..... | 101 |
| Figura 3-34. | Simulación del multiplicador paralelo de 4 bits..... | 101 |
| Figura 3-35. | Módulo contador de bits. | 104 |
| Figura 3-36. | Simulación del contador de bits. | 104 |

LISTA DE TABLAS

| | | |
|------------|--|----|
| Tabla 1-1. | Caracterización de placa Nexys 3 | 16 |
| Tabla 1-2. | Tabla de verdad de decodificador 2 a 4 | 17 |
| Tabla 2-1. | Configuración de pines para display de 7 segmentos anodo común | 30 |
| Tabla 2-2. | Tabla case multiplexor 4 a 1 | 35 |
| Tabla 2-3. | Tabla IF de demultiplexor 4 a 1..... | 38 |
| Tabla 2-4. | Algoritmo de conversión de binario a BCD. | 43 |
| Tabla 3-1. | Tabla de verdad de sumador completo..... | 60 |
| Tabla 3-2. | Suma binaria y BCD | 94 |

LISTA DE CÓDIGOS

| | | |
|---------------------|--|----|
| Código 1-1. | Compuerta NOT..... | 18 |
| Código 1-2. | Compuerta AND..... | 18 |
| Código 1-3. | Decodificador 2 a 4. | 20 |
| Código 2-1. | Declaración de variables para codificador de n bits. | 25 |
| Código 2-2. | Estructura del codificador de n bits. | 26 |
| Código 2-3. | Declaración de variables para decodificador de n bits. | 27 |
| Código 2-4. | Estructura del decodificador de n bits. | 28 |
| Código 2-5. | Declaración de variables para decodificador de display de 7 segmentos. | 31 |
| Código 2-6. | Estructura del decodificador de display de 7 segmentos..... | 32 |
| Código 2-7. | Declaración de variables para multiplexor de n bits..... | 34 |
| Código 2-8. | Estructura de multiplexor de n bits. | 35 |
| Código 2-9. | Declaración de variables para demultiplexor de n bits. | 37 |
| Código 2-10. | Estructura de demultiplexor de n bits. | 38 |
| Código 2-11. | Declaración de variables del comparador de n bits. | 39 |
| Código 2-12. | Estructura del comparador de n bits. | 40 |
| Código 2-13. | Declaración de variables para conversión de binario a BCD. | 43 |
| Código 2-14. | Estructura de conversión de binario a BCD..... | 43 |
| Código 2-15. | Declaración de variables para conversor binario a decimal. | 45 |
| Código 2-16. | Estructura del conversor de binario a decimal. | 46 |
| Código 2-17. | Declaración de variables para el <i>módulo superior</i> conversor binario a decimal. | 47 |
| Código 2-18. | Estructura del <i>módulo superior</i> conversor binario a decimal..... | 48 |
| Código 2-19. | Declaración de variables para el <i>módulo</i> Mux_dato..... | 50 |
| Código 2-20. | Estructura del <i>módulo</i> Mux_dato. | 51 |
| Código 2-21. | Declaración de variables para el <i>módulo</i> Mux_anodos. | 51 |
| Código 2-22. | Estructura del <i>módulo</i> Mux_anodos..... | 52 |
| Código 2-23. | Declaración de variables para el <i>módulo</i> Bus_dato. | 52 |
| Código 2-24. | Estructura del <i>módulo</i> Bus_dato..... | 53 |
| Código 3-1. | SumaMedia..... | 57 |
| Código 3-2. | Arquitectura SumaMedia..... | 58 |
| Código 3-3. | Entidad SumadorN. | 61 |
| Código 3-4. | Arquitectura SumadorN. | 61 |
| Código 3-5. | Entidad SumaParalela..... | 63 |
| Código 3-6. | Arquitectura SumaParalela..... | 63 |

| | | |
|---------------------|------------------------------------|-----|
| Código 3-7. | Entidad SumaSigno..... | 67 |
| Código 3-8. | Arquitectura SumaSigno..... | 67 |
| Código 3-9. | Entidad bitFullAdder1..... | 70 |
| Código 3-10. | Arquitectura bitFullAdder1..... | 70 |
| Código 3-11. | Entidad CarryLookAhead..... | 71 |
| Código 3-12. | Arquitectura CarryLookAhead..... | 71 |
| Código 3-13. | Entidad TopAdditionSpeed..... | 72 |
| Código 3-14. | Arquitectura TopAdditionSpeed..... | 73 |
| Código 3-15. | Entidad lcxor..... | 75 |
| Código 3-16. | Arquitectura lcxor..... | 75 |
| Código 3-17. | Entidad complemento..... | 76 |
| Código 3-18. | Arquitectura complemento..... | 76 |
| Código 3-19. | Entidad complemento..... | 77 |
| Código 3-20. | Arquitectura complemento..... | 77 |
| Código 3-21. | Entidad presenta..... | 81 |
| Código 3-22. | Arquitectura presenta..... | 81 |
| Código 3-23. | Entidad SumadoRestador..... | 82 |
| Código 3-24. | Arquitectura SumadoRestador..... | 83 |
| Código 3-25. | Entidad SumadoRestador..... | 86 |
| Código 3-26. | Arquitectura SumadoRestador..... | 87 |
| Código 3-27. | Entidad SumaParalela1..... | 91 |
| Código 3-28. | Arquitectura SumaParalela1..... | 92 |
| Código 3-29. | Entidad control..... | 93 |
| Código 3-30. | Arquitectura control..... | 93 |
| Código 3-31. | Entidad SumBCD1bit..... | 93 |
| Código 3-32. | Arquitectura SumBCD1bit..... | 94 |
| Código 3-33. | Entidad SumaBCD2bit..... | 97 |
| Código 3-34. | Arquitectura SumaBCD2bit..... | 97 |
| Código 3-35. | Entidad multiplica4x3..... | 100 |
| Código 3-36. | Arquitectura multiplica4x3..... | 100 |
| Código 3-37. | Entidad cuenta..... | 102 |
| Código 3-38. | Arquitectura cuenta..... | 102 |
| Código 3-39. | Entidad superior..... | 103 |
| Código 3-40. | Arquitectura superior..... | 103 |

AGRADECIMIENTOS

Los autores expresan su agradecimiento a las universidades que permitieron el desarrollo de esta obra como sigue:

El autor Robinson Jiménez Moreno agradece a la Universidad Militar Nueva Granada, donde es docente de planta, tiempo completo, en el programa de Ingeniería en Mecatrónica, por el tiempo y apoyo brindado para la realización de este documento orientado a fortalecer el material de consulta en las áreas de electrónica digital.

Los autores Javier Eduardo Martínez Baquero y César Augusto Romero Molano agradecen a la Universidad de los Llanos, donde son docentes de planta, tiempo completo, en la Facultad de Ciencias Básicas e Ingeniería, por el tiempo y apoyo brindado para la realización de este documento orientado a fortalecer el material de consulta en las áreas de electrónica digital.

A su vez, los autores extienden sus agradecimientos al fondo editorial de la Universidad de los Llanos por la gestión asociada a la publicación de este libro.

INTRODUCCIÓN

Este libro es una guía para aprender a diseñar, sintetizar, simular e implementar sistemas digitales básicos combinacionales mediante el uso de dispositivos lógicos programables FPGA, herramientas CAD, como ISE 14.7 de Xilinx y tarjetas para desarrollo como la Nexys 3. Este libro se desarrolla en el marco de la Escuela de Ingeniería de la Universidad de los Llanos para la asignatura Circuitos Digitales I, del programa de Ingeniería Electrónica, y como soporte a cualquier asignatura de Electrónica Digital de programas como Sistemas o Mecatrónica. En un curso de Circuitos Digitales I, los alumnos adquieren los conocimientos básicos del diseño de sistemas digitales y realizan diseños de componentes VHDL, como codificadores, decodificadores, multiplexores, circuitos aritméticos, unidades aritmeticológicas, buses de datos, entre otros, los cuales deben ser sintetizados, simulados e implementados por medio del uso de una herramienta CAD y de tarjetas de desarrollo, siendo esta actividad su práctica de laboratorio.

Para lograr su correcto desarrollo a través del curso Circuitos Digitales I, el alumno dispone de un laboratorio equipado con tarjetas de entrenamiento Nexys 3 y del software ISE 14.7 de Xilinx, elementos básicos que requieren de un manual para un uso adecuado.

En este libro, el alumno encuentra los conceptos, los códigos y la organización de los pines, los cuales son necesarios para lograr una implementación real y eficaz de los diferentes circuitos digitales diseñados en la clase teórica, ya que estos han sido previamente verificados y son 100% confiables en su ejecución en la Nexys 3 de Digilent, lo que le facilita al estudiante recursos útiles probados y confiables para sus futuros proyectos de diseño digital.

Por último, con el fin de que este libro pueda llegar al mayor número de personas y con el objeto de generar material educativo abierto, se decide publicarlo bajo una licencia *Creative Commons CC-BY-SA*. Además, se dispondrá de un repositorio en GitHub (<https://github.com/ceroma1/VHDL-Basico-Nexys3>), donde el lector podrá descargar los códigos usados en este documento, revisar las actualizaciones que se tengan de todo el material aquí utilizado e interactuar con los autores de este documento.